



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10313012 A**(43) Date of publication of application: **24.11.98**

(51) Int. Cl.

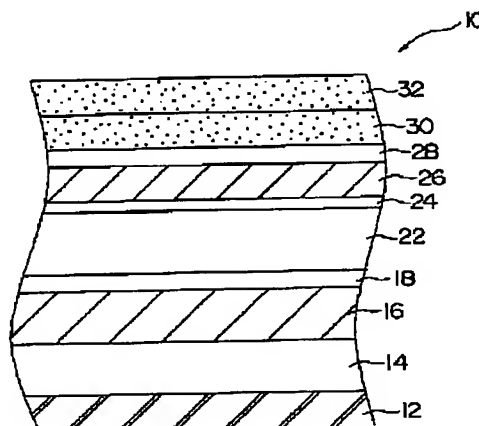
**H01L 21/324****H01L 29/78****H01L 21/336**(21) Application number: **09119486**(71) Applicant: **SONY CORP**(22) Date of filing: **09.05.97**(72) Inventor: **SUGAWARA TATSUHIRO**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an improved method for manufacturing a semiconductor device that minimizes dust from backside of a wafer.

**SOLUTION:** Sequentially formed on a substrate 12 are a lower film 14, a first polysilicon film 16 having a thickness of 150 nm, a first TEOS film 18 having a thickness of 50 nm, a second TEOS film 22 having a thickness of 200 nm, a silicon nitride film 24 having a thickness of 20 nm, a second polysilicon film 26 having a thickness of 100 nm, a third TEOS film 28 having a thickness of 50 nm and a first interlayer insulating film 30. Necessary ones of the films are subjected to photolithographic and etching processes for their patterning. At the stage of having formed the first interlayer insulating film 30, the substrate is subjected to a sintering process, and then a second interlayer insulating film 32 is formed on the first interlayer insulating film 30. In the sintering process, the substrate is kept for 7 hours in an atmosphere of inert and hydrogen gases at a temperature of 400 to 500°C.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-313012

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/324  
29/78  
21/336

H 0 1 L 21/324  
29/78

Z  
3 0 1 Y

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号

特願平9-119486

(22)出願日

平成9年(1997)5月9日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

菅原 達博

長崎県諫早市津久葉町1883番43

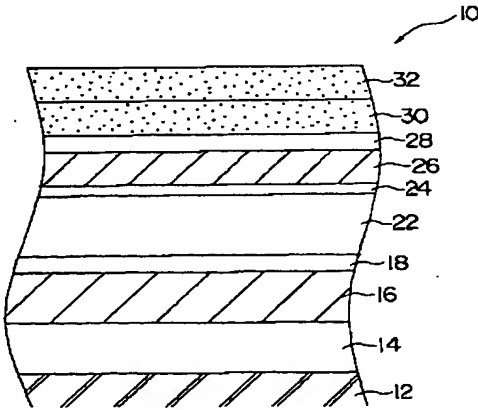
ソニー長崎株式会社内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ウエハ裏面からの発塵を少なくするように改良した、半導体装置の製造方法を提供する

【解決手段】 本方法は、基板12上に、順次、下層膜14、膜厚150nmの第1ポリシリコン膜16、膜厚50nmの第1TEOS膜18、膜厚200nmの第2TEOS膜22、膜厚20nmのシリコン窒化膜24、膜厚100nmの第2ポリシリコン膜26、膜厚50nmの第3TEOS膜28、及び第1層間絶縁膜30を成膜し、必要な層には、フォトリソグラフィとエッチング加工によりパターニングを施す。次いで、第1層間絶縁膜30を成膜した段階で基板にシンタリングを施し、続いて第1層間絶縁膜30上に第2層間絶縁膜32を成膜している。シンタリングでは、400～500℃の不活性ガス及び水素ガス雰囲気中に基板を7時間の間保持する。



10 本発明方法により形成した特定のMOSFETの層構造  
12 基板  
14 下層膜  
16 膜厚150nmの第1ポリシリコン膜  
18 膜厚50nmの第1TEOS膜  
22 膜厚200nmの第2TEOS膜  
24 膜厚20nmの第2シリコン窒化膜  
26 膜厚100nmの第2ポリシリコン膜  
28 膜厚50nmの第3TEOS膜  
30 第1層間絶縁膜  
32 第2層間絶縁膜

## 【特許請求の範囲】

【請求項1】 基板上に、順次、第1ポリシリコン膜、第1TEOS膜、第1シリコン窒化膜、第2TEOS膜、第2シリコン窒化膜、第2ポリシリコン膜、第3TEOS膜及び第1層間絶縁膜を成膜し、各膜の成膜の過程で少なくとも第1シリコン窒化膜をフォトリソグラフィ及びエッチングによりパターンニングし、第1層間絶縁膜の成膜後、シンタリングの熱処理を基板に施し、次いで第2層間絶縁膜を成膜する、半導体装置の製造方法において、

第1シリコン窒化膜を成膜し、フォトリソグラフィ及びエッチングによりパターンニングする工程の代わりに、第1層間絶縁膜の成膜後、5～7時間の間、基板にシンタリング処理を施すことを特徴とする半導体装置の製造方法。

【請求項2】 第2層間絶縁膜上にAl又はAl合金からなる配線層を成膜することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体装置がMOSFETであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更に詳細には、ウエハ裏面からの発塵の少ないように改良した半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】図3を参照して、半導体装置の従来の製造方法を説明する。図3は、半導体装置の従来の製造方法により形成した、特定のMOSFETの層構造40を示す基板断面図である。従来の製造方法では、図3に示すように、先ず、基板12上、即ちウエハ表面上に下層膜14を成膜し、次いで、順次、膜厚150nmの第1ポリシリコン膜16、膜厚50nmの第1TEOS膜18及び膜厚50nmの第1シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)20を成膜する。続いて、フォトリソグラフィ及びエッチング加工により第1シリコン窒化膜20を所定のパターンにパターンニングする。更に、パターンニングした第1シリコン窒化膜20上に、順次、膜厚200nmの第2TEOS膜22、膜厚20nmの第2シリコン窒化膜24、膜厚100nmの第2ポリシリコン膜26、膜厚50nmの第3TEOS膜28、及び第1層間絶縁膜30を成膜している。次いで、第1層間絶縁膜30を成膜した段階で基板に熱処理(sintering、シンタリング)を施し、続いて第1層間絶縁膜30上に第2層間絶縁膜32を成膜している。シンタリング処理は、オーミックコンタクトを得るために行う第2ポリシリコン膜26(電極)の熱処理であって、400～500℃の不活性ガス及び水素ガス雰囲気中で1時間以内の熱処

理、例えば10～数10分間の熱処理を行う。本層構造40で、それぞれ、下層膜14はシリコン酸化膜、第1ポリシリコン膜16は下層のゲート電極、第1TEOS膜18、第1シリコン窒化膜20、第2TEOS膜22及び第2シリコン窒化膜24の各々は絶縁膜、第2ポリシリコン膜26は上層のゲート電極、並びに第3TEOS膜28は絶縁膜である。

## 【0003】

【発明が解決しようとする課題】しかし、上述した従来の製造方法により形成したMOSFET用層構造を備えるウエハは、ウエハを取り扱う際、例えばウエハを一つの加工装置から別の加工装置に、例えばCVD装置の内のチャンバから別のチャンバにロボット等により搬送する際、ウエハ裏面からの発塵が多いという問題があった。発生したパーティクルは、CVD装置のチャンバ壁、ロボットのアーム等に付着し、次いで別のウエハに付着するために、別のウエハの処理の際に、その付着したパーティクルが基板内に巻き込まれ、トランジスタ特性を阻害する。このために、半導体装置の特性がばらつき、また製品歩留りが低下するという結果を招いていた。例えば、図4に示すように、或るウエハから発塵した多数のパーティクルが、別のウエハ上に付着する。図4は、一つのウエハの裏面からその下の別のウエハ上に落下したパーティクルの分布を示す図である。

【0004】そこで、本発明の目的は、ウエハ裏面からの発塵を少なくするように改良した、半導体装置の製造方法を提供することである。

## 【0005】

【課題を解決するための手段】本発明者は、ウエハ裏面からの発塵を減少させる研究の過程で、ウエハ表面に形成した図3に示す層構造と同じような層構造を有する積層膜が、ウエハ裏面、特にウエハ裏面の周辺部に形成されていることを見出した。ウエハ裏面の層構造は、上述した層構造をウエハ表面に形成する過程で、プロセスガスがウエハ裏面に回り込んで堆積したことにより形成されたものと思われる。そして、膜厚50nmの第1シリコン窒化膜20を成膜し、パターンニングする過程で、ウエハ裏面の周辺部のシリコン窒化膜が剥離し、除去される。そのために、シリコン窒化膜20の下層の第1TEOS膜18及び第1ポリシリコン膜16が、その後の工程でウエハを動かす度に、剥離してパーティクルとなって飛散する。特に、第3TEOS膜28を成膜する過程で発塵現象が著しいことを見出した。更に研究を進め、第1層間絶縁膜を成膜した後に基板に施すシンタリング処理の時間を長くすることにより、第1シリコン窒化膜の成膜及びパターンニングに代えることができることを見出し、本発明を完成するに至った。

【0006】上記目的を達成するために、得た知見に基づいて、本発明に係る半導体装置の製造方法は、基板上に、順次、第1ポリシリコン膜、第1TEOS膜、第1

シリコン窒化膜、第2TEOS膜、第2シリコン窒化膜、第2ポリシリコン膜、第3TEOS膜及び第1層間絶縁膜を成膜し、各膜の成膜の過程で少なくとも第1シリコン窒化膜をフォトリソグラフィ及びエッチングによりパターンニングし、第1層間絶縁膜の成膜後、シンタリングの熱処理を基板に施し、次いで第2層間絶縁膜を成膜する、半導体装置の製造方法において、第1シリコン窒化膜を成膜し、フォトリソグラフィ及びエッチングによりパターンニングする工程の代わりに、第1層間絶縁膜の成膜後、5～7時間の間、基板にシンタリング処理を施すことを特徴としている。

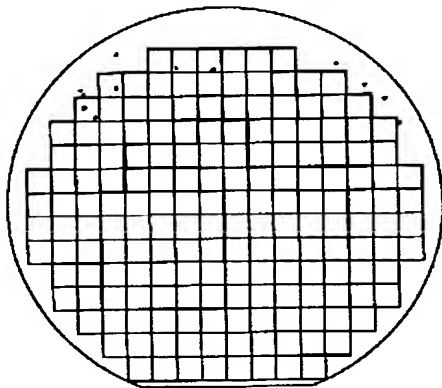
#### 【0007】

【発明の実施の形態】以下に、添付図面を参照し、本発明の実施の形態を具体的かつ詳細に説明する。

#### 実施例

本実施例は、本発明に係る半導体装置の製造方法をMOSFETの層構造形成に適用した例であって、図1は、本発明に係る半導体装置の製造方法により形成する層構造10を示す基板断面図である。図1中、図3と同じ層には同じ符号を付している。基板12上に、順次、下層膜14、例えばゲートSiO<sub>2</sub>膜、層厚150nmの第1ポリシリコン膜16、膜厚50nmの第1TEOS膜18、膜厚200nmの第2TEOS膜22、膜厚20nmのシリコン窒化膜24、膜厚100nmの第2ポリシリコン膜26、膜厚50nmの第3TEOS膜28、及び第1層間絶縁膜30を成膜し、必要な層には、フォトリソグラフィとエッチング加工によりパターンニングを施す。次いで、第1層間絶縁膜30を成膜した段階で基板にシンタリング処理を施し、続いて第1層間絶縁膜30上に第2層間絶縁膜32を成膜している。シンタリング処理では、7時間の間、400～500℃の不活性ガス及び水素ガス雰囲気中に基板を保持する。

【図2】



【0008】実施例方法で得たウエハについて発塵の多寡を評価したところ、発塵は、図4で示したように、従来の製造方法で製造したウエハからの発塵（図2に示す）に比べて、著しく少ない。図4は、図2と同様に、実施例方法で層構造10を形成した一つのウエハからその下の別のウエハ上に落下したパーティクルの分布を示す図である。

#### 【0009】

【発明の効果】本発明によれば、ウエハ裏面からの発塵の原因になっているシリコン窒化膜の成膜及びパターンニングに代えて、シンタリングの処理時間を従来に比べて著しく長くすることにより、ウエハ裏面からの発塵を防止し、半導体装置の製品歩留りを向上し、かつ半導体装置の品質を安定させている。

#### 【図面の簡単な説明】

【図1】本発明方法により形成した層構造を示す基板断面図である。

【図2】本発明方法により形成した層構造を有するウエハからの発塵現象を示すウエハ平面図である。

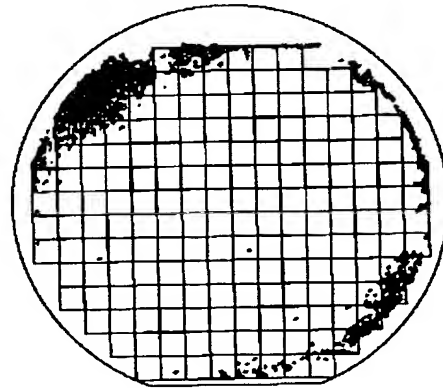
【図3】従来方法により形成した層構造を示す基板断面図である。

【図4】従来方法により形成した層構造を有するウエハからの発塵現象を示すウエハ平面図である。

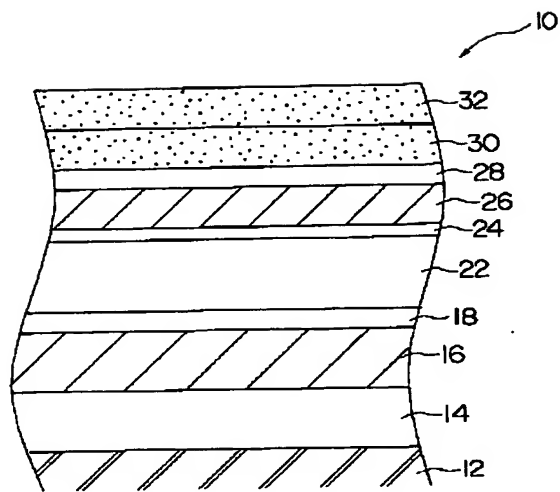
#### 【符号の説明】

10……本発明方法により形成した特定のMOSFETの層構造、12……基板、14……下層膜、16……第1ポリシリコン膜、18……第1TEOS膜、20……第1シリコン窒化膜（Si<sub>3</sub>N<sub>4</sub>）、22……第2TEOS膜、24……第2シリコン窒化膜、26……第2ポリシリコン膜、28……第3TEOS膜、30……第1層間絶縁膜、32……第2層間絶縁膜、40……従来方法により形成した特定のMOSFETの層構造。

【図4】

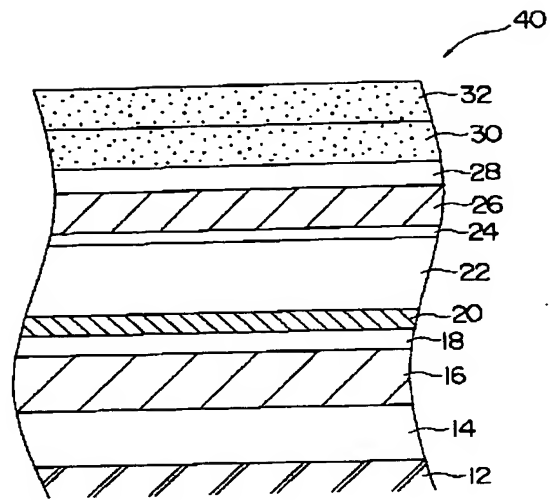


【図1】



- 10 本発明方法により形成した特定のMOSFETの層構造  
 12 基板  
 14 下層膜  
 16 膜厚150nmの第1ポリシリコン膜  
 18 膜厚50nmの第1TEOS膜  
 22 膜厚200nmの第2TEOS膜  
 24 膜厚20nmの第2シリコン窒化膜  
 26 膜厚100nmの第2ポリシリコン膜  
 28 膜厚50nmの第3TEOS膜  
 30 第1層間絶縁膜  
 32 第2層間絶縁膜

【図3】



- 40 従来方法により形成した特定のMOSFETの層構造  
 12 基板  
 14 下層膜  
 16 膜厚150nmの第1ポリシリコン膜  
 18 膜厚50nmの第1TEOS膜  
 20 膜厚50nmの第1シリコン窒化膜  
 22 膜厚200nmの第2TEOS膜  
 24 膜厚20nmの第2シリコン窒化膜  
 26 膜厚100nmの第2ポリシリコン膜  
 28 膜厚50nmの第3TEOS膜  
 30 第1層間絶縁膜  
 32 第2層間絶縁膜